

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-332714

(43)Date of publication of application : 30.11.2001

---

(51)Int.Cl. H01L 27/146

H01L 29/78

H04N 5/335

---

(21)Application number : 2000-150123 (71)Applicant : CANON INC

(22)Date of filing : 22.05.2000 (72)Inventor : TAKAHASHI HIDEKAZU

---

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable high speed operation by improving the numerical aperture of a micronized area sensor and reducing the shading of an output signal.

SOLUTION: A drain contact 10 and a well contact 11 are made common in the same active region. This constitution can be realized by forming an N<sup>+</sup> layer as a drain and a P<sup>+</sup> layer for contact with a well to be overlapped partially. Since potentials of the drain and the well can be taken together in the same region, the number of wirings and contacts is reduced as compared with the conventional structure. Consequently, picture element can be micronized. The numerical aperture can be increased when the size of picture element is identical to the conventional one, so that sensitivity is improved. Since a well contact can be formed in a picture element region, the shading of an output signal can be reduced by restraining fluctuation of a well potential.

**\* NOTICES \***

JPO and INPIT are not responsible for any

damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect

the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1]In a solid state camera which has the photoelectric conversion region which formed the 1st impurity diffusion region of the 1st conductivity type and an opposite conductivity type into a semiconductor substrate of the 1st conductivity type, and was arranged by two dimensions in an amplification type photoelectric conversion element and an electric charge amplifier in said 1st impurity diffusion

region, A solid state camera forming a means to take potential of said 1st impurity diffusion region, in said photoelectric conversion region, and supplying potential of said 1st impurity diffusion region, and power supply potential to said electric charge amplifier from the same low resistance wiring.

[Claim 2]A solid state camera characterized by said electric charge amplifier being a MOS transistor in claim 1.

[Claim 3]A solid state camera, wherein said MOS transistor performs reversal amplification in claim 2.

[Claim 4]A solid state camera performing electric charge reversal amplification with combination with said MOS transistor which provides a MOS transistor for loads in claim 3 for every appearance mosquito line of an optoelectric transducer arranged by said two dimensions, and performs said reversal amplification in said optoelectric transducer.

[Claim 5]A solid state camera contacting the 2nd quantity impurity diffused layer of the 1st conductivity type that is a drain of a MOS transistor which performs said reversal amplification, and the 3rd impurity diffused layer of the 2nd conductivity type for taking potential of said 1st impurity diffused layer to the same active region, and forming them in claim 4.

[Claim 6]A solid state camera, wherein said low resistance wiring uses aluminum as the main ingredients in claim 1.

[Claim 7]A solid state camera, wherein a field which gives potential to said 1st impurity diffused layer gives potential per two or more photo-diodes in claim 1.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which an invention belongs] This invention relates to the amplification type solid state image sensor which used the MOS transistor for

the element for electric charge amplification.

[0002]

[Description of the Prior Art]Conventionally, the solid state camera (it is henceforth called a CMOS sensor) manufactured by a CMOS technology is known as a solid state camera which realizes high efficiency, various functions, and low power consumption. It is characterized by providing the MOS transistor for photoelectrical load amplification in the pixel, and these solid state cameras being able to perform electric charge amplification read-out by un-destroying.

[0003]Drawing 9 is a block diagram of the conventional CMOS sensor. 101, a transmission MOS gate and 103, a select MOS transistor and 105 are vertical output lines a reset MOS transistor and 104, and, as for PN photo-diode and 102, the pixel is formed of these elements, as for the amplification MOS transistor of a source follower, and 106. Each vertical output line is connected to the constant current source of 107, and the output of the source follower A noise signal read-out system, It is divided into the read-out system adding a lightwave signal and a noise signal, and is connected to storage capacitance  $C_{TN}$ 112 via S signal transfer switch 111 storage capacitance  $C_{TS}$ 113 via N signal transfer switch 110, respectively. The two above-mentioned lines are connected to the differential amplifying circuit 115 via the horizontal transfer switch 114, respectively.

[0004]The MOS transistor of the usual simple substance is formed in a P type

well or an N type well, and the contact region for making the potential of the well fix adjoins a MOS transistor, and it is arranged.

[0005]However, the CMOS sensor shown in drawing 9 is formed in the outside of the picture element region for improvement in a numerical aperture, without providing a contact region in a picture element region. Since well potential will become is hard to be fixed in near a picture element region center in a CMOS sensor (for example, VGA standard correspondence) grade with few pixel numbers if it becomes a photoelectric conversion device (for example, HD standard correspondence) with many pixel numbers although this does not have a problem, The output signal had a fault which long period heterogeneity (shading) generates. This is generated because the threshold voltage of a MOS transistor changes because the potential of a well changes. If driving speed becomes quick also with a CMOS sensor with few pixel numbers, in order for shading to occur, it had also become the hindrance of the high speed drive.

[0006]Drawing 10 is a top view of the solid state camera which reduced this shading. The P<sup>+</sup> high concentration diffusion layer of P type as a P type well in which PN photo-diode and 802 are the same as for 801, Well power supply wiring and 806 are power supply wiring the picture element region for which 803 was arranged by well contact and the pixel was arranged in the shape of two dimensions 804, and 805, 805 is connected to GND and 806 are connected to

$V_{DD}$ . Thus, shading of a signal is reduced by forming well contact for every pixel and suppressing the potential fluctuation of a well. This art becomes effective in the solid state camera of the above pixel size (for example, not less than 5 micrometers) to some extent.

[0007]

[Problem(s) to be Solved by the Invention]However, in the solid state camera shown in drawing 10, if pixel size becomes small, it will become difficult to provide in a pixel the field which takes contact, and its wiring. For example, when a pixel (3.0 micrometers x 3.0 micrometers) is arranged by the CMOS process of a 0.35-micrometer rule, a layout width of 2.1 micrometers will be needed only in a wiring area, and an opening region will almost be lost.

[0008]Then, this invention makes it the technical problem to raise the numerical aperture of the area sensor by which minuteness making was carried out.

[0009]This invention makes it the technical problem to reduce shading of the output signal of a multi pixel area sensor.

[0010]This invention makes it the technical problem to provide the multi pixel area sensor in which a high speed drive is possible.

[0011]

[Means for Solving the Problem]This invention for solving the above-mentioned technical problem forms the 1st impurity diffusion region of the 1st conductivity



type and an opposite conductivity type into a semiconductor substrate of the 1st conductivity type, In a solid state camera which has the photoelectric conversion region arranged by two dimensions in an amplification type photoelectric conversion element and an electric charge amplifier in said 1st impurity diffusion region, He forms a means to take potential of said 1st impurity diffusion region, in said photoelectric conversion region, and is trying to supply potential of said 1st impurity diffusion region, and power supply potential to said electric charge amplifier from the same low resistance wiring.

[0012]

[Embodiment of the Invention]Hereafter, an embodiment of the invention is described with reference to drawings.

[0013](A 1st embodiment) Drawing 1 is a rough circuitry figure of the solid state camera of this invention.

[0014]Drawing 2 is a flat-surface layout pattern of a picture element part.

[0015]Drawing 3 is a sectional view of the X-X' portion in drawing 2.

[0016]Hereafter, the solid state camera of this embodiment is explained with reference to drawing 1, drawing 2, and drawing 3.

[0017]A P+NP photo-diode for 1 to perform photoelectric conversion in drawing 1 and drawing 2, The transmission MOS switch for transmitting the electric charge which generated 2 in the floating diffusion part (FD part), and generated 3 with

the photo-diode to an FD part, A select MOS transistor for an amplification MOS transistor for 4 to perform reversal amplification and 5 to read the electric charge by which reversal amplification was carried out to a vertical output line, and 6 are the reset MOS switches for resetting an FD part, and form the one photoelectric conversion pixel 7 by 1, 2, 3, 4, 5, and 6.

[0018]The pixel 7 is arranged in the shape of two dimensions, and is connected to the vertical output line 8 via the select MOS transistor 5 for every sequence. 9 is a MOS transistor for loads, and when  $\phi_{IL}$  is set to high level ( $V_{DD}$  level), it performs reversal amplifying operation in combination with the amplification MOS transistor of 4.

[0019]10 is a drain area of MOS transistor 4, 11 is a contact region of the well potential of a pixel, and potential is supplied with the power source wire (GND wiring) 12, respectively.

[0020]A transmission MOS switch for 13 and 14 to transmit a signal to storage capacitance  $C_{TS}$  and  $C_{TN}$ , and 15 and 16 are the horizontal transfer MOS switches for transmitting a signal to a differential amplifying circuit.

[0021]Since the P<sup>+</sup> layer with high concentration is formed in a sensor surface in the device structure of this embodiment, the dark current generated in a sensor surface is small. It is high sensitivity in order to perform full transmission for the photoelectrical load by which it was generated with the photo-diode to a floating

diffusion part.

[0022]In the solid state camera using the conventional sauce follow mill wrapper 105. Since the power supply of the sauce follow mill wrapper 105 differed from the potential of a well, needed to provide independently the wiring ( $V_{DD}$  wiring) for giving potential to the drain of a MOS transistor, and the wiring (GND wiring) for giving potential to a well, but. In this invention, since inverting amplifier is used, potential of the drain 10 and potential of a well can be made into same electric potential (GND). Therefore, the potential of a drain and a well can be taken from common GND wiring.

[0023]As shown in drawing 3, drain contact and well contact are communalized in the same active region (active region). This can realize a part of  $N^+$  layer which is a drain, and  $P^+$  layer for taking contact to a well by forming in piles. Therefore, since the potential of a drain and a well can be taken together by the same \*\*\*\*, as compared with structure, a wiring number and the number of contacts are reduced conventionally. Therefore, minuteness making of the pixel can be carried out. Since a numerical aperture can be enlarged if it is the same pixel size as the former, sensitivity improves. Simultaneously, since well contact can be formed in a picture element region, shading of an output signal is also reduced by suppressing change of well potential. For example, well contact may be made to extend in a column direction. In this case, well potential is given per

some or all of the pixels contained in a column direction, i.e., two or more photo-diodes.

[0024]In this embodiment, although the MOS transistor in a pixel was explained as an NMOS transistor, this may all be PMOS composition. In this case,  $V_{DD}$  and GND become reverse with a natural thing.

[0025](A 2nd embodiment) Drawing 4 is a top view of the solid state camera of a 2nd embodiment. In a 1st embodiment, one MOS transistor for reversal amplification was provided for every photo-diode. However, in drawing 4 which has provided one MOS transistor for reversal amplification to two photo-diodes in this embodiment, 10 is a drain area which is a power supply of inverting amplifier, and 11 is a contact region for taking the potential of a well, and is provided in the same active region like a 1st embodiment.

[0026]In a 2nd embodiment, since there are few element numbers for forming a pixel as compared with a 1st embodiment since it has the structure of taking well potential every 2 pixels, the further minuteness making becomes possible.

[0027]It may not remain for communalizing two photo-diodes, but three or more may be communalized.

(A 3rd embodiment) Drawing 5 is a block diagram of the solid state camera of a 3rd embodiment. In the 1st embodiment and 2nd embodiment, the transfer gate is established in the question of a photo-diode and an FD part. However, in a 3rd

embodiment, there is no transfer gate and the potential of a photo-diode is directly linked with the gate of inverting amplifier. If it does in this way, since a transfer gate becomes unnecessary, the further minuteness making will become possible, but since it becomes difficult to hold the dark voltage of a signal, the noise rejection method becomes complicated. However, also in this embodiment, it is possible to suppress generating of shading by having communalized the potential of the drain which is a power supply section of inverting amplifier MOS, and a well.

[0028]Especially, by a 3rd embodiment, since a photo-diode does not need to be a full transmission type, it may be made mere PN photo-diode. Therefore, the number of manufacture masks is reduced and a manufacturing process number is reduced.

[0029](A 4th embodiment) Drawing 6 is a block diagram of the solid state camera of a 4th embodiment. A select MOS transistor is not needed in this embodiment. In this form, when a pixel is not chosen, a photoelectric conversion signal is read like the case where a select MOS transistor exists, by giving intermediate potential to floating diffusion, before setting an FD part as GND and reading it. In this embodiment, since a select MOS transistor becomes unnecessary, the minuteness making of the further pixel becomes possible.

[0030](A 5th embodiment) Drawing 7 is a top view of the solid state camera

which gave that of a 5th embodiment. Also in this embodiment, GND wiring 11 which communalized the power supply wiring of reversal MOS amplifier and well wiring is used like a 3rd embodiment from a 1st embodiment. And the drain area 10 and GND wiring 11 of the reversal amplification MOS transistor 4 are connected, and it is connected with a well contact field with about one photo-diode. Thus, potential is taken in the separate active region. Also in this embodiment, it becomes possible from a 1st embodiment to make shading small by taking well potential in a picture element region like a 3rd embodiment. Since a well contact field and a drain area are provided by the minimum design rule, it becomes effective to make drain areas into the minimum size.

[0031]

[Effect of the Invention]According to this invention explained above, in the solid state camera which used inverting amplifier for the electric charge amplifier, the detailed solid state camera which suppressed shading of the output signal became possible by supplying the power supply of MOS type inverting amplifier, and the potential of a well from the same low resistance wiring. Thereby, in the video camera, digital camera, and surveillance camera using this solid state camera, the improvement in image quality, a miniaturization, and low cost-ization are realizable. Especially a high speed drive becomes realizable [ the solid state camera of multi pixels, such as required HDTV, ].

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The block diagram of the solid state camera of a 1st embodiment of this invention

[Drawing 2] The top view for 1 pixel of the solid state camera of a 1st embodiment of this invention

[Drawing 3]The 1-pixel X-X' sectional view of the solid state camera of a 1st embodiment of this invention

[Drawing 4]The block diagram of the solid state camera of a 2nd embodiment of this invention

[Drawing 5]The block diagram of the solid state camera of a 3rd embodiment of this invention

[Drawing 6]The block diagram of the solid state camera of a 4th embodiment of this invention

[Drawing 7]The top view for 1 pixel of the solid state camera of a 5th embodiment of this invention

[Drawing 8]The 1-pixel X-X' sectional view of the solid state camera of a 5th embodiment of this invention

[Drawing 9]The block diagram of the conventional solid state camera

[Drawing 10]The top view of the picture element region where the pixel in the conventional solid state camera was arranged in the shape of two dimensions

[Description of Notations]

1, 101, and 901 Photo-diode

2 Floating diffusion part

3 and 102 Transmission MOS gate

4, 105 amplification MOS transistors



5 and 104 Selection MOS switch

6 and 103 Reset 1 MOS switch

7 Pixel

8 and 106 Vertical output line

9 Load MOS transistors

10 Drain area

11 and 903 Well contact field

12, 905 GND wiring

13 and 14 Signal transmission MOS switch

14, 16, and 114 Horizontal transfer MOS switch

17 Reset MOS switch

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-332714

(P2001-332714A)

(43)公開日 平成13年11月30日(2001. 11. 30)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-コード*(参考)
H 0 1 L 27/146		H 0 4 N 5/335	E 4 M 1 1 8
29/78			U 5 C 0 2 4
H 0 4 N 5/335		H 0 1 L 27/14	A 5 F 0 4 0
		29/78	3 0 1 X

審査請求 未請求 請求項の数7 O L (全 6 頁)

(21)出願番号 特願2000-150123(P2000-150123)

(22)出願日 平成12年5月22日(2000. 5. 22)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 高橋 秀和

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74)代理人 100065385

弁理士 山下 穰平

Fターム(参考) 4M118 AA06 AA10 AB01 BA14 CA04

DD09 DD10 DD12 FA06 FA33

5C024 AX01 CX35 CX41 GX03 GY31

HX17

5F040 DB01 DB06 EA00 EH05 EK01

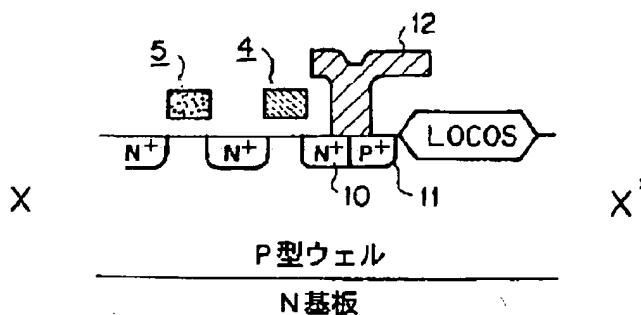
EM01

(54)【発明の名称】 固体撮像装置

(57)【要約】

【課題】 微細化されたエリアセンサの開口率を向上させ、出力信号のシェーディングを低減させ、高速駆動を可能とする。

【解決手段】 ドレインコンタクト10とウェルコンタクト11を同じ活性領域(アクティブ領域)で共通化している。これはドレインであるN<sup>+</sup>層と、ウェルとのコンタクトをとるためのP<sup>+</sup>層を、一部重ねて形成することで実現できる。従って、同一領域でドレインとウェルの電位が一緒にとれるようになるため、従来構造と比較して、配線数とコンタクト数が低減される。従って、画素を微細化することができる。また、従来と同じ画素サイズであれば、開口率を大きくできるので、感度が向上する。同時に、画素領域内にウェルコンタクトが形成できるため、ウェル電位の変動を抑えることにより、出力信号のシェーディングも低減される。



**【特許請求の範囲】**

【請求項1】 第1導電型の半導体基板中に第1導電型と反対導電型の第1不純物拡散領域を形成し、前記第1不純物拡散領域に増幅型光電変換素子と電荷増幅素子とを2次元に配列された光電変換領域を有する固体撮像装置において、

前記第1不純物拡散領域の電位をとる手段を前記光電変換領域内に設け、

前記第1不純物拡散領域の電位と前記電荷増幅素子への電源電位を、同じ低抵抗配線から供給することを特徴とする固体撮像装置。

【請求項2】 請求項1において、前記電荷増幅素子がMOSトランジスタであることを特徴とする固体撮像装置。

【請求項3】 請求項2において、前記MOSトランジスタが反転増幅を行うことを特徴とする固体撮像装置。

【請求項4】 請求項3において、前記2次元に配列された光電変換素子の出力線毎に負荷用MOSトランジスタを設け、前記光電変換素子内の前記反転増幅を行う前記MOSトランジスタとの組み合わせにより電荷反転増幅を行うことを特徴とする固体撮像装置。

【請求項5】 請求項4において、前記反転増幅を行うMOSトランジスタのドレインである第1導電型の第2高不純物拡散層と、前記第1不純物拡散層の電位をとるための第2導電型の第3不純物拡散層を、同じ活性領域に接触させて形成することを特徴とする固体撮像装置。

【請求項6】 請求項1において、前記低抵抗配線はアルミニウムを主成分とすることを特徴とする固体撮像装置。

【請求項7】 請求項1において、前記第1不純物拡散層に電位を与える領域は、複数のフォトダイオード単位で電位を与えることを特徴とする固体撮像装置。

**【発明の詳細な説明】****【0001】**

【発明が属する技術分野】本発明は、電荷増幅用素子にMOSトランジスタを用いた増幅型固体撮像装置に関する。

**【0002】**

【従来の技術】従来、高機能、多機能、低消費電力を実現する固体撮像装置として、CMOS技術で製造される固体撮像装置（以後、CMOSセンサと呼ぶ）が知られている。これらの固体撮像装置は画素内に光電荷増幅用のMOSトランジスタが設けられており、非破壊で電荷増幅読み出しが行えることを特徴としている。

【0003】図9は、従来のCMOSセンサのブロック図である。101はPNフォトダイオード、102は転送MOSゲート、103はリセットMOSトランジスタ、104は選択MOSトランジスタ、105はソースフォロワの増幅MOSトランジスタ、106は垂直出力線であり、これらの素子によって画素が形成されており、

る。また各垂直出力線は107の定電流源に接続され、そのソースフォロワの出力はノイズ信号読み出し系と、光信号とノイズ信号を加算した読み出し系に分かれ、それぞれ、N信号転送スイッチ110を介して蓄積容量 $C_{TN}$ 112に、S信号転送スイッチ111を介して蓄積容量 $C_{TS}$ 113に接続される。更に、上記の2系統は、それぞれ水平転送スイッチ114を介して差動増幅回路115へ接続される。

【0004】通常の単体のMOSトランジスタはP型ウェル又はN型ウェル内に形成され、そのウェルの電位を固定させるためのコンタクト領域がMOSトランジスタに隣接して配置されている。

【0005】但し、図9に示したCMOSセンサは開口率の向上のため、画素領域内にはコンタクト領域を設けずに画素領域の外側に設けられている。これは画素数が少ないCMOSセンサ（例えばVGA規格対応）程度では問題無いが、画素数が多い光電変換装置（例えばHD規格対応）になると、画素領域中央付近においてウェル電位が固定されにくくなるため、出力信号に長周期的な不均一性（シェーディング）が発生する欠点があった。これはウェルの電位が変化することでMOSトランジスタの閾値電圧が変化することで発生する。また、画素数が少ないCMOSセンサでも駆動速度が速くなると、シェーディングが発生するようになるため、高速駆動の妨げにもなっていた。

【0006】図10は、このシェーディングを低減した固体撮像装置の平面図である。801はPNフォトダイオード、802はP型ウェルと同じP型のP+高濃度拡散層、803はウェルコンタクト、804は画素が2次元状に配列された画素領域、805はウェル電源配線、806は電源配線であり、805はGNDに、806は $V_{DD}$ に接続される。このようにウェルコンタクトを画素毎に設けてウェルの電位変動を抑えることにより、信号のシェーディングを低減させる。この技術は、ある程度以上の画素サイズ（例えば $5\mu m$ 以上）の固体撮像装置において有効となる。

**【0007】**

【発明が解決しようとする課題】しかし、図10に示した固体撮像装置では、画素サイズが小さくなると、画素内にコンタクトをとる領域とその配線を設けることが困難になってくる。例えば $0.35\mu m$ ルール（ $0.35\mu m$ ）のCMOSプロセスで $3.0\mu m \times 3.0\mu m$ の画素をレイアウトすると、配線領域だけで $2.1\mu m$ のレイアウト幅が必要となり開口領域がほとんどなくなってしまうことになる。

【0008】そこで、本発明は、微細化されたエリアセンサの開口率を向上させることを課題としている。

【0009】又、本発明は、多画素エリアセンサの出力信号のシェーディングを低減させることを課題としている。

【0010】又、本発明は、高速駆動が可能な多画素エリアセンサを提供することを課題としている。

【0011】

【課題を解決するための手段】上記の課題を解決するための本発明は、第1導電型の半導体基板中に第1導電型と反対導電型の第1不純物拡散領域を形成し、前記第1不純物拡散領域に増幅型光電変換素子と電荷増幅素子とを2次元に配列された光電変換領域を有する固体撮像装置において、前記第1不純物拡散領域の電位をとる手段を前記光電変換領域内に設け、前記第1不純物拡散領域の電位と前記電荷増幅素子への電源電位を、同じ低抵抗配線から供給するようにしている。

【0012】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。

【0013】(第1の実施形態)第1図は、本発明の固体撮像装置の概略的回路構成図である。

【0014】又、図2は、画素部の平面レイアウト図である。

【0015】又、図3は、図2の中のX-X'部分の断面図である。

【0016】以下、図1、図2、図3を参照して本実施形態の固体撮像装置について説明する。

【0017】図1と図2において、1は光電変換を行うためのP+NPフォトダイオード、2はフローティングディフュージョン部(FD部)、3はフォトダイオードで発生した電荷をFD部へ転送するための転送MOSスイッチ、4は反転増幅を行うための増幅MOSトランジスタ、5は反転増幅された電荷を垂直出力線に読み出すための選択MOSトランジスタ、6はFD部をリセットするためのリセットMOSスイッチであり、1、2、3、4、5、6で1つの光電変換画素7を形成する。

【0018】画素7は2次元状に配列され、各列毎に垂直出力線8に選択MOSトランジスタ5を介して接続される。9は負荷用MOSトランジスタで、 $\Phi L$ がハイレベル( $V_{DD}$ レベル)になったときに、4の増幅MOSトランジスタとの組み合わせで反転増幅動作を行う。

【0019】また、10はMOSトランジスタ4のドレイン領域、11は画素のウェル電位のコンタクト領域であり、それぞれ電源線(GND配線)12により電位が供給される。

【0020】また、13、14は蓄積容量 $C_{TS}$ と $C_{TN}$ へ信号を転送するための転送MOSスイッチ、15、16は差動増幅回路へ信号を転送するための水平転送MOSスイッチである。

【0021】本実施形態のデバイス構造では、センサ表面に濃度が高いP+層を形成しているため、センサ表面で発生する暗電流が小さい。また、フォトダイオードで発生した光電荷をフローティングディフュージョン部へ

【0022】従来のソースフォロワンプ105を用いた固体撮像装置では、ソースフォロワンプ105の電源とウェルの電位が異なるため、MOSトランジスタのドレインに電位を与えるための配線( $V_{DD}$ 配線)と、ウェルに電位を与えるための配線(GND配線)を別々に設ける必要があったが、本発明では反転アンプを用いているため、ドレイン10の電位とウェルの電位を同電位(GND)にすることができる。そのため、共通のGND配線からドレインとウェルの電位をとることができる。

【0023】また、図3に示すように、ドレインコンタクトとウェルコンタクトを同じ活性領域(アクティブ領域)で共通化している。これはドレインであるN+層と、ウェルとのコンタクトをとるためのP+層を、一部重ねて形成することで実現できる。従って、同一領域でドレインとウェルの電位が一緒にとれるようになるため、従来構造と比較して、配線数とコンタクト数が低減される。従って、画素を微細化することができる。また、従来と同じ画素サイズであれば、開口率を大きくできるので、感度が向上する。同時に、画素領域内にウェルコンタクトが形成できるため、ウェル電位の変動を抑えることにより、出力信号のシェーディングも低減される。又、ウェルコンタクトを、たとえば列方向に延在させてもよい。この場合には、列方向に含まれる一部又は全部の画素、すなわち複数のフォトダイオード単位でウェル電位が与えられる。

【0024】本実施形態において、画素内のMOSトランジスタはNMOSトランジスタとして説明したが、これが全てPMOS構成であってもよい。この場合、 $V_{DD}$ とGNDは当然のことながら、逆になる。

【0025】(第2の実施形態)図4は、第2の実施形態の固体撮像装置の平面図である。第1実施形態においては、フォトダイオード1つ毎に反転増幅用MOSトランジスタが1つ設けられていた。しかし、本実施形態においては、2つのフォトダイオードに対して反転増幅用MOSトランジスタを1つ設けている図4において、10は反転アンプの電源であるドレイン領域であり、11はウェルの電位をとるためのコンタクト領域であり、第1の実施形態と同様に、同じアクティブ領域に設けられている。

【0026】第2の実施形態では2画素毎にウェル電位をとる構造となっているため、第1の実施形態と比較すると、画素を形成するための素子数が少ないため、更なる微細化が可能となる。

【0027】また、2つのフォトダイオードを共通化するとどまらず、3つ以上を共通化してもよい。

(第3の実施形態)第5図は、第3の実施形態の固体撮像装置のブロック図である。第1の実施形態と第2の実施形態においては、フォトダイオードとFD部の間に転送ゲートが設けられている。しかし、第3の実施形態においては、転送ゲートがフォトダイオードの電位が

反転アンプのゲートに直結している。このようにすると、転送ゲートが不要となるため、更なる微細化が可能となるが、信号の暗電圧を保持することが困難となるため、ノイズ除去方法は複雑になる。但し、本実施形態においても、反転アンプMOSの電源部であるドレインとウェルの電位を共通化したことにより、シェーディングの発生を抑えることが可能である。

【0028】又、特に、第3の実施形態ではフォトダイオードが完全転送型である必要はないため、単なるPNフォトダイオードにしてもよい。そのため、製造マスク数が低減され、製造工程数が低減される。

【0029】(第4の実施形態)図6は、第4の実施形態の固体撮像装置のブロック図である。本実施形態においては、選択MOSトランジスタが必要とされない。この形式において、画素が選択されない時には、FD部をGNDに設定し、読み出す前にフローティングディフュージョンに中間電位を与えることで、選択MOSトランジスタが存在する場合と同様に光電変換信号が読み出される。本実施形態において、選択MOSトランジスタが不要となるため、更なる画素の微細化が可能となる。

【0030】(第5の実施形態)図7は、第5の実施形態の固体撮像装置の平面図である。本実施形態においても、第1の実施形態から第3の実施形態と同様に、反転MOSアンプの電源配線とウェル配線を共通化したGND配線11を用いる。そして、反転増幅MOSトランジスタ4のドレイン領域10とGND配線11が接続され、フォトダイオード1近傍でウェルコンタクト領域と接続される。このように、別々のアクティブ領域で電位をとっている。本実施形態においても、第1実施形態から第3実施形態と同様に、画素領域内にウェル電位をとることでシェーディングを小さくすることが可能となる。ウェルコンタクト領域とドレイン領域を最小デザインルールで設けられるため、ドレイン面積を最小サイズにしたい場合に有効となる。

【0031】

【発明の効果】以上説明した本発明によれば、電荷増幅素子に反転アンプを用いた固体撮像装置において、MOS型反転アンプの電源とウェルの電位を同一の低抵抗配線から供給することによって、出力信号のシェーディングを抑えた微細な固体撮像装置が可能となった。それに

より、本固体撮像装置を用いたビデオカメラ、デジタルカメラ、監視カメラにおいて、画質向上、小型化、低コスト化が実現できる。特に高速駆動が必要なHDTV等の多画素の固体撮像装置の実現が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の固体撮像装置のブロック図

【図2】本発明の第1の実施形態の固体撮像装置の1画素分の平面図

【図3】本発明の第1の実施形態の固体撮像装置の1画素のX-X'断面図

【図4】本発明の第2の実施形態の固体撮像装置のブロック図

【図5】本発明の第3の実施形態の固体撮像装置のブロック図

【図6】本発明の第4の実施形態の固体撮像装置のブロック図

【図7】本発明の第5の実施形態の固体撮像装置の1画素分の平面図

【図8】本発明の第5の実施形態の固体撮像装置の1画素のX-X'断面図

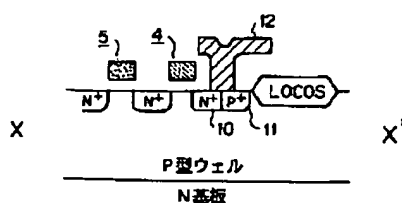
【図9】従来の固体撮像装置のブロック図

【図10】従来の固体撮像装置における画素が2次元状に配列された画素領域の平面図

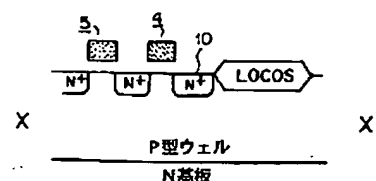
【符号の説明】

- 1、101、901 フォトダイオード
- 2 フローティングディフュージョン部
- 3、102 転送MOSゲート
- 4、105 増幅MOSトランジスタ
- 5、104 選択MOSスイッチ
- 6、103 リセット1MOSスイッチ
- 7 画素
- 8、106 垂直出力線
- 9 負荷MOSトランジスタ
- 10 ドレイン領域
- 11、903 ウェルコンタクト領域
- 12、905 GND配線
- 13、14 信号転送MOSスイッチ
- 14、16、114 水平転送MOSスイッチ
- 17 リセットMOSスイッチ

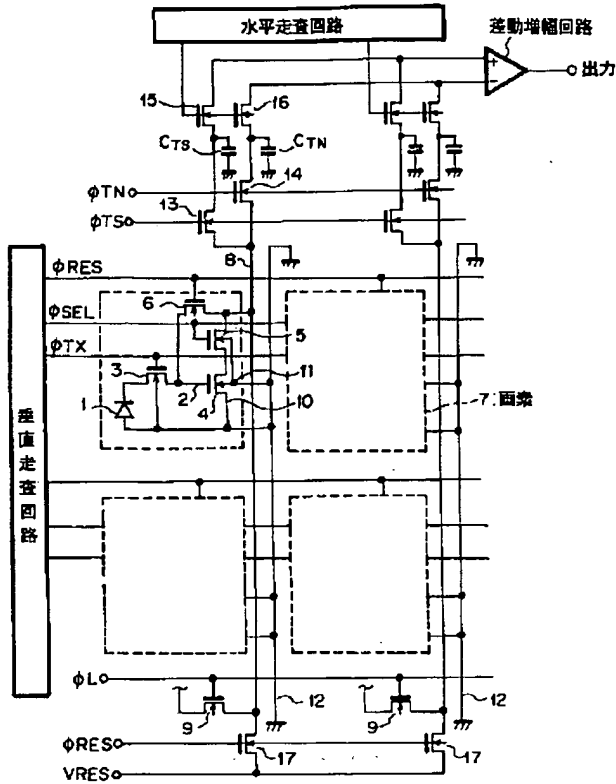
【図3】



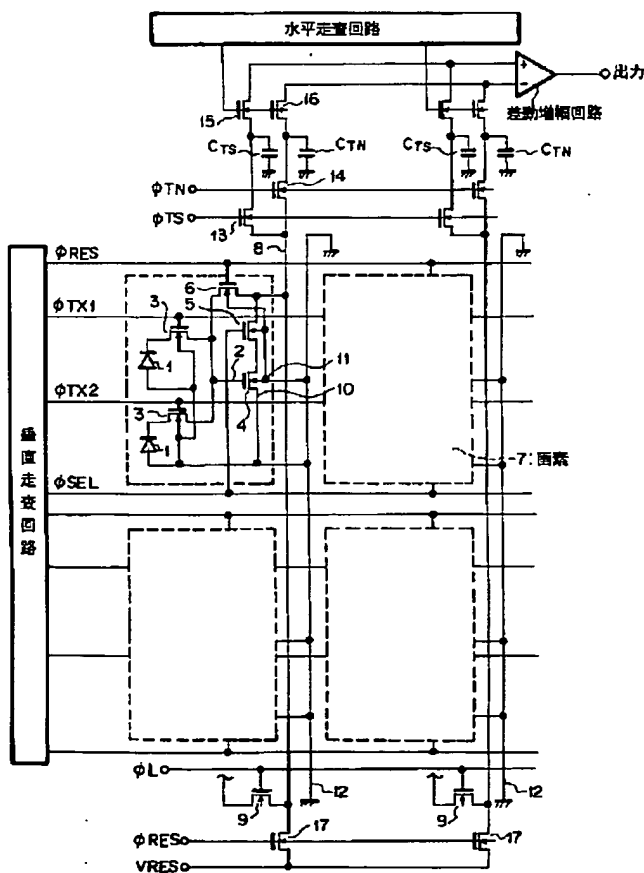
【図8】



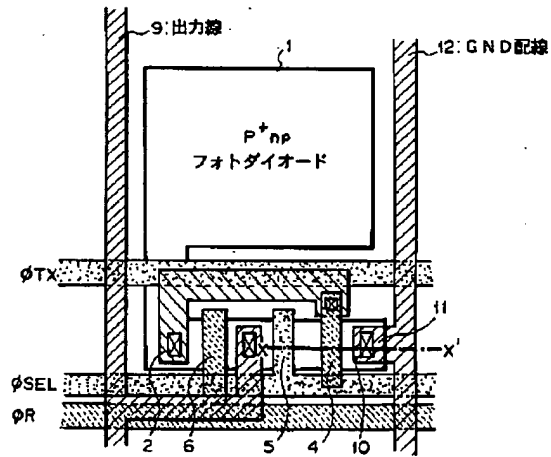
【図1】



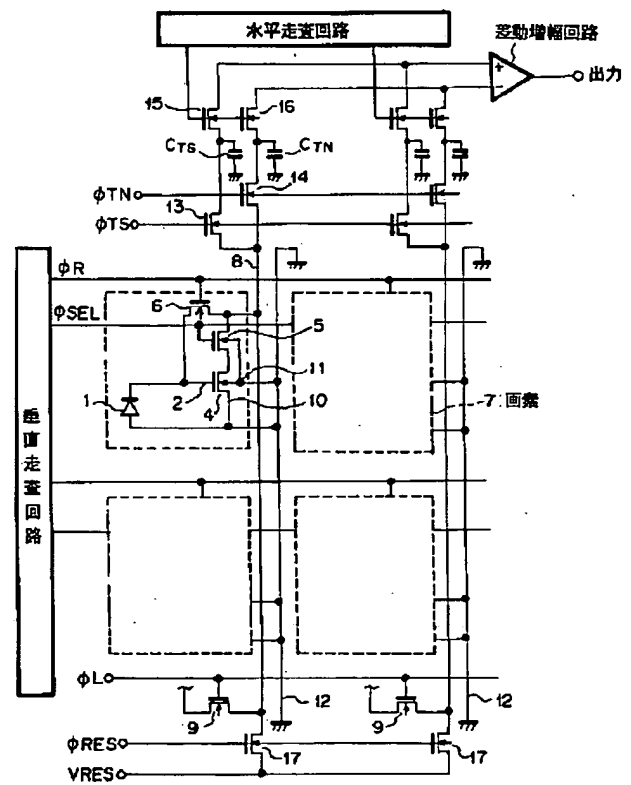
【図4】



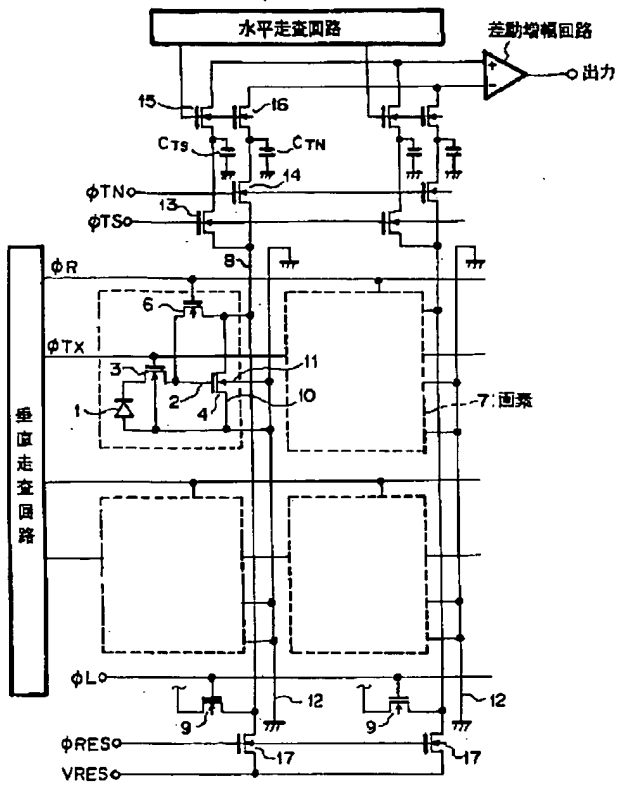
【図2】



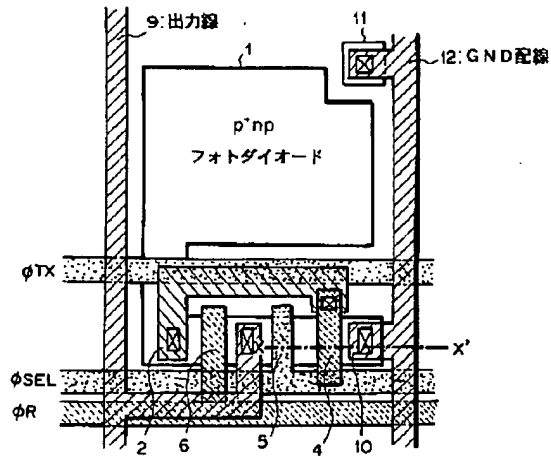
【図5】



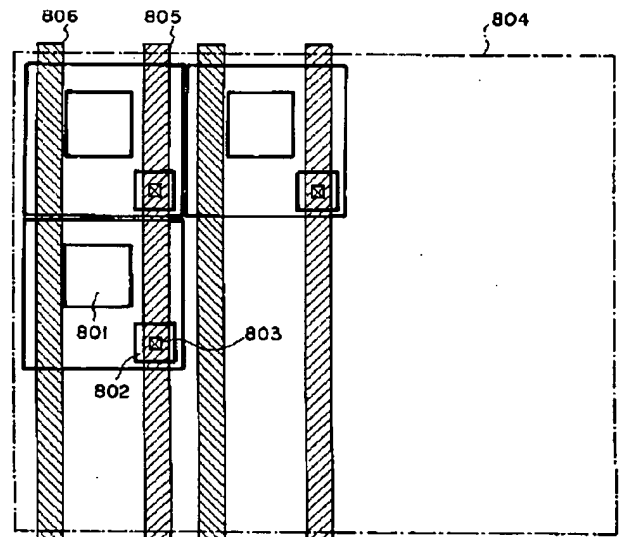
【図6】



【図7】



【図10】



【図9】

